

0318062-5NY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-270496
 (43)Date of publication of application : 20.09.2002

(51)Int.CI. H01L 21/027
 G03F 1/16

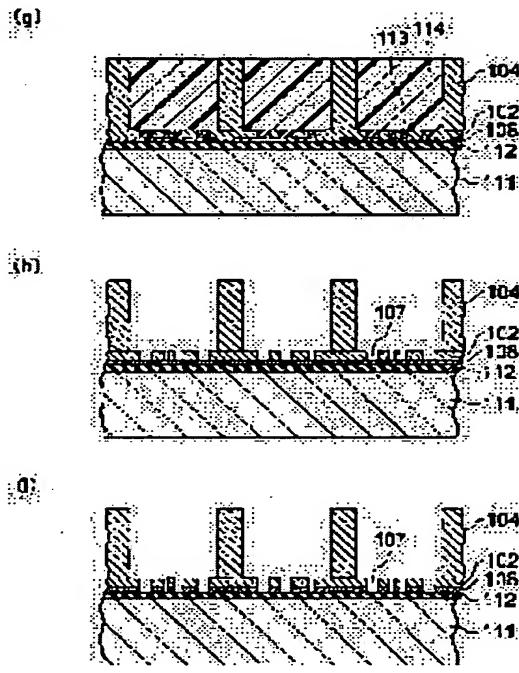
(21)Application number : 2001-071843 (71)Applicant : SONY CORP
 (22)Date of filing : 14.03.2001 (72)Inventor : MORIYA SHIGERU

(54) MASK, MANUFACTURING METHOD THEREOF AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a mask, a manufacturing method thereof and a semiconductor device manufacturing method which raises the efficiency of the mask manufacturing and improves the machining precision of patterns.

SOLUTION: The mask manufacturing method comprises a step of laminating a sacrificial film 112 and a conductive layer 108 on a substrate 111, a step of forming a metal film 102 having apertures 107 by electroplating and electrolytic polishing with a resist 113 used for a mold, a step of forming a metal film support (strut) 104 by electroplating and electrolytic polishing with a resist 114 used for a mold, a step of removing the resists 114, 113, a step of removing the conductive layer 108 on at least the apertures 107, and a step of removing the sacrificial film 112 to separate the substrate 111. The mask is thus manufactured and a semiconductor device is manufactured, using the same.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-270496

(P2002-270496A)

(43)公開日 平成14年9月20日(2002.9.20)

(51)Int.Cl.
H 01 L 21/027
G 03 F 1/16

識別記号

F I
G 03 F 1/16
H 01 L 21/30

テ-マコ-ト(参考)
B 2 H 0 9 5
A 5 F 0 4 6
5 4 1 S 5 F 0 5 6
5 3 1 M

審査請求 未請求 請求項の数16 OL (全12頁)

(21)出願番号 特願2001-71843(P2001-71843)

(22)出願日 平成13年3月14日(2001.3.14)

(71)出願人 000002185
ソニ-株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 守屋 茂
東京都品川区北品川6丁目7番35号 ソニ-株式会社内
(74)代理人 100094053
弁理士 佐藤 隆久
Fターム(参考) 2H095 BA07 BA08 BA10
5F046 GD10 GD14 GD17
5F056 AA22 FA05

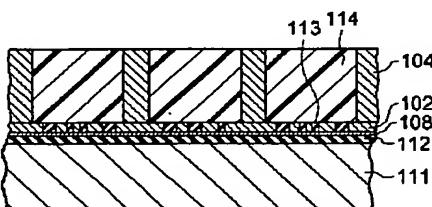
(54)【発明の名称】 マスクおよびその製造方法と半導体装置の製造方法

(57)【要約】

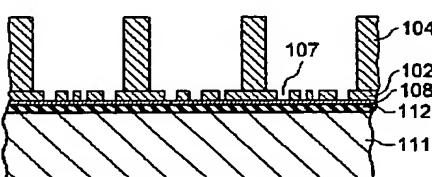
【課題】マスク製造の効率を上げ、かつパターンの加工精度を改善できるマスクおよびその製造方法と、それを含む半導体装置の製造方法を提供する。

【解決手段】基板111上に犠性膜112と導電層108を積層させる工程と、レジスト113を鋳型とする電解めっきおよび電解研磨により、アーチャー107を有する金属薄膜102を形成する工程と、レジスト114を鋳型とする電解めっきおよび電解研磨により、金属薄膜支持部(ストラット)104を形成する工程と、レジスト114、113を除去する工程と、少なくともアーチャー107部分の導電層108を除去する工程と、犠性膜112を除去することにより、基板111を分離させる工程とを有するマスクと、それを用いた半導体装置の製造方法。

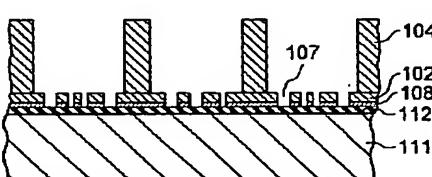
(g)



(h)



(i)



【特許請求の範囲】

【請求項 1】 金属薄膜と、

前記金属薄膜の第 1 面側に照射される荷電粒子線または電磁波を局所的に第 2 面側に透過させる、前記金属薄膜の一部に形成されたアーチャーと、

前記金属薄膜の前記第 2 面上的一部に、前記金属薄膜を透過した荷電粒子線または電磁波を遮断しないように形成された、金属材料からなる金属薄膜支持部とを有するマスク。

【請求項 2】 前記金属薄膜の前記第 1 面上に導電層をさらに有し、

前記導電層は前記金属薄膜のアーチャーとほぼ同じ位置に、前記荷電粒子線または電磁波が透過するアーチャーを有する請求項 1 記載のマスク。

【請求項 3】 前記荷電粒子線は電子ビームである請求項 1 記載のマスク。

【請求項 4】 前記荷電粒子線はイオンビームである請求項 1 記載のマスク。

【請求項 5】 前記電磁波は EUV (extreme ultraviolet) 光である請求項 1 記載のマスク。

【請求項 6】 前記電磁波は X 線である請求項 1 記載のマスク。

【請求項 7】 前記金属薄膜支持部は、前記金属薄膜の前記第 2 面上にマトリクス状に配列された、複数の矩形開口部を有する形状である請求項 1 記載のマスク。

【請求項 8】 基板の一方の面に導電層を形成する工程と、

前記導電層上的一部分に第 1 の犠牲膜を形成する工程と、電解めっきにより、前記導電層上に前記第 1 の犠牲膜を被覆する第 1 の金属層を形成する工程と、

前記第 1 の犠牲膜が露出するまで前記第 1 の金属層を研磨して、アーチャーを前記第 1 の犠牲膜部分に有する金属薄膜を形成する工程と、

少なくとも前記アーチャー部分を含む前記金属薄膜上的一部分に、前記第 1 の犠牲膜よりも厚い第 2 の犠牲膜を形成する工程と、

電解めっきにより、前記金属薄膜上に前記第 2 の犠牲膜を被覆する第 2 の金属層を形成する工程と、

前記第 2 の犠牲膜が露出するまで前記第 2 の金属層を研磨して、金属薄膜支持部を形成する工程と、

前記第 2 の犠牲膜を除去する工程と、

少なくとも前記アーチャー部分の前記導電層を除去する工程と、

前記基板を除去する工程とを有するマスクの製造方法。

【請求項 9】 前記第 1 の金属層を研磨する工程は電解研磨工程を含む請求項 8 記載のマスクの製造方法。

【請求項 10】 前記第 2 の金属層を研磨する工程は電解研磨工程を含む請求項 8 記載のマスクの製造方法。

【請求項 11】 前記導電層を形成する前に、前記基板と

前記導電層との層間に第 3 の犠牲膜を形成する工程をさらに有し、

前記基板を除去する工程は、前記第 3 の犠牲膜を除去することにより前記基板を前記マスクから分離させる工程を含む請求項 8 記載のマスクの製造方法。

【請求項 12】 前記基板はシリコン基板であり、前記第 3 の犠牲膜を形成する工程は、前記シリコン基板の表面にシリコン酸化膜を形成する工程を含む請求項 11 記載のマスクの製造方法。

【請求項 13】 前記第 1 の犠牲膜を形成する工程は、リソグラフィによりレジストを形成する工程を含む請求項 8 記載のマスクの製造方法。

【請求項 14】 前記第 2 の犠牲膜を形成する工程は、リソグラフィによりレジストを形成する工程を含む請求項 8 記載のマスクの製造方法。

【請求項 15】 少なくとも前記アーチャー部分の前記導電層を除去する工程において、前記導電層全体を除去することにより、前記基板を前記マスクから分離させる請求項 8 記載のマスクの製造方法。

【請求項 16】 所定のマスクパターンを有するリソグラフィ用マスクを形成する工程と、
被露光面に前記リソグラフィ用マスクを介して荷電粒子線または電磁波を照射し、前記被露光面に前記マスクパターンを転写する工程とを有する半導体装置の製造方法であって、
前記リソグラフィ用マスクを形成する工程は、基板の一方の面に導電層を形成する工程と、

前記導電層上的一部分に第 1 の犠牲膜を形成する工程と、電解めっきにより、前記導電層上に前記第 1 の犠牲膜を被覆する第 1 の金属層を形成する工程と、
前記第 1 の犠牲膜が露出するまで前記第 1 の金属層を研磨して、アーチャーを前記第 1 の犠牲膜部分に有する金属薄膜を形成する工程と、

少なくとも前記アーチャー部分を含む前記金属薄膜上的一部分に、前記第 1 の犠牲膜よりも厚い第 2 の犠牲膜を形成する工程と、
電解めっきにより、前記金属薄膜上に前記第 2 の犠牲膜を被覆する第 2 の金属層を形成する工程と、
前記第 2 の犠牲膜が露出するまで前記第 2 の金属層を研磨して、金属薄膜支持部を形成する工程と、

前記第 2 の犠牲膜を除去する工程と、
前記第 1 の犠牲膜を除去する工程と、
少なくとも前記アーチャー部分の前記導電層を除去する工程と、
前記基板を除去する工程とを有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、リソグラフィ用のマスクおよびその製造方法と、それを用いる半導体装置

の製造方法に関し、特に、電子ビーム転写型リソグラフィ用のマスクおよびその製造方法と、それを用いる半導体装置の製造方法に関する。

【0002】

【従来の技術】LSIの微細化および高集積化の進展に伴い、LSIパターン形成の手段として用いられてきた光リソグラフィの解像度が限界に近づいている。光リソグラフィに替わる手段として、微細化に対して高いポテンシャルを有する電子ビームリソグラフィが注目されている。

【0003】従来、電子ビームリソグラフィの最大の問題点は、処理能力が低いことであったが、ステンシルマスクと呼ばれる転写用マスクを予め作製しておき、このマスクパターンをウェハ上に投影転写する電子ビーム一括投影露光方式が提案され、この問題点も解決できる見通しが出てきた。

【0004】実用化が進められている電子ビーム一括投影露光方式としては、例えば、IBMとニコンが共同開発しているPREVAIL(“Projection reduction exposure with variable axis immersion lenses: Next generation lithography”／H.C. Pfeiffer他, Journal of Vacuum Science and Technology B17 p. 2840 (1999))が挙げられる。また、ルーセント・テクノロジー等が開発しているSCALPEL(scattering with angular limitation in projection electron-beam lithography／S.T. Stanton他, Proceedings of SPIE 3676 p. 194 (1999))も挙げられる。

【0005】上記のような電子ビームリソグラフィに用いられるステンシルマスクの概略図を、図8(a)に示す。図8(b)は図8(a)の一部(A)を拡大した斜視図である。図8(a)に示すように、ステンシルマスク201は例えば8インチサイズのシリコンウェハ202をベースとして形成される。シリコンウェハ202は、例えば1.13mm×1.13mmの大きさの複数の薄膜部分(メンブレン)203を有する。メンブレン203はストラット204と呼ばれる梁によって相互に分離されている。メンブレン203間のストラット204の幅は例えば170μmである。ストラット204はステンシルマスク201の機械的強度を維持する支持体として作用する。

【0006】図8(b)に示すように、メンブレン203の厚さは例えば2μmである。8インチウェハを用いてステンシルマスク201を形成する場合、ストラット204の高さはウェハの厚さとほぼ等しく、例えば725μmとなる。メンブレン203は、電子線が照射される1mm角のパターン領域205と、その周囲のスカート206と呼ばれるマージンとを含む。パターン領域205には、LSIマスクパターンに対応するアーチャーが形成される。

【0007】図9は、図8(a)の一部(X-X')の

断面図である。図9に示すように、メンブレン203のパターン領域にアーチャー207が形成されている。メンブレン203を含むシリコン層208と、ストラット204との間にシリコン酸化膜209が形成されている。シリコン酸化膜209は、シリコンウェハ202の裏面にエッティングを行ってストラット204を形成する工程において、エッティングストッパー層として用いられる。

【0008】PREVAILやSCALPELのような一括投影露光方式の電子ビームリソグラフィを行う際には、図9のステンシルマスク201のメンブレン203側に、例えば100keV程度の電子ビームを照射する。メンブレン203に照射された電子ビームは、アーチャー207部分のみ無散乱でストラット204側に透過して、レジスト上に集束される。PREVAILやSCALPELは通常4倍の縮小投影系である。

【0009】上記のようなステンシルマスク201の製造方法を、図10を参照して以下に説明する。まず、図10(a)に示すように、SOIウェハ211を作製する。SOIウェハ211はシリコンウェハ202の一方の面に、シリコン酸化膜209を介してシリコン層208を有し、シリコンウェハ202の他方の面に、裏面側シリコン酸化膜212を有する。SOIウェハ211は例えばSIMOX(separation by implanted oxygen)法あるいは貼り合わせ法によって形成できる。

【0010】次に、図10(b)に示すように、SOIウェハ211の裏面側にストラットのパターン(図8参照)でレジスト213を形成する。レジスト213は例えばスピンドルコートにより全面に塗布してから、露光および現像を行って形成する。さらに、SOIウェハ211の裏面側から、レジスト213をマスクとして裏面側シリコン酸化膜212およびシリコンウェハ202にドライエッティングを行う。これにより、シリコンからなるストラット204が形成される。

【0011】次に、図10(c)に示すように、ストラット204をマスクとして表面側のシリコン酸化膜209にエッティングを行う。その後、レジスト213を除去する。次に、図10(d)に示すように、シリコン層208上に所定のパターンのレジスト214を形成する。その後、レジスト214をマスクとして、メンブレン203部分のシリコン層208にドライエッティングを行う。

【0012】これにより、図9に示すように、所定のパターンのアーチャー207を有するメンブレン203が形成される。その後、裏面側シリコン酸化膜212およびレジスト214を除去する。以上の工程により、ステンシルマスク201が形成される。

【0013】

【発明が解決しようとする課題】しかしながら、上記の従来のマスクの製造方法によれば、ストラット204を

形成するためのシリコンウェハ202のエッティング工程に、長時間を要するという問題がある。シリコンウェハ202の厚さ分のドライエッティングを行うには、数時間を要する。

【0014】パターン設計が完了する前に予め、図10(b)あるいは(c)に示すようにストラット204を形成すると、マスク強度が著しく低下して、マスクの保管あるいは運搬中にマスクが破損しやすくなる。これによる歩留りの低下を避けるため、通常、パターン設計終了後にシリコンウェハ202のエッティングが開始される。したがって、パターン設計終了からマスク完成までのターンアラウンドタイム(TAT)の短縮が困難となっている。

【0015】ウェットエッティングによれば、ドライエッティングよりも短時間でシリコンウェハ202の厚さ分のエッティングを行うことが可能であるが、ドライエッティングのような垂直加工ができない。ウェットエッティングによりシリコンウェハ202に開口部を形成すると、シリコンウェハ202の裏面側における口径が、シリコンウェハ202のメンブレン203側の表面における口径よりも大きくなる。

【0016】このように、ウェットエッティングによれば断面がテーパ状となるため、ドライエッティングの場合に比較して、ストラット204の幅が広くなる。例えばPREVAILやSCALPELのような縮小投影系の電子線リソグラフィーの場合、ステンシルマスク201にメンブレン203をマトリクス状に密集させて形成する必要がある。ウェットエッティングによりストラット204を形成すると、ストラット204の幅が広くなり、メンブレン203として利用できる領域の面積が狭くなるため、LSIのチップサイズに対応するマスクサイズが得られなくなる。

【0017】また、上記の従来のマスクの製造方法によれば、シリコンウェハ202の裏面側からエッティングを行ってストラット204を形成した後、シリコンウェハ202の表面側にLSIマスクパターンのレジストを形成する。したがって、シリコンウェハ202の表面側にレジスト214を形成する際に、シリコンウェハ202の両面側からアライメントを行う必要がある。両面からのアライメントを高精度に行うことは比較的難しく、マスクの歩留りが低下しやすい。また、両面アライナーも必要である。

【0018】さらに、上記の従来のマスクの製造方法によれば、シリコンウェハ202の表面側にレジストを塗布した後、レジストのベーキングが不均一となりやすい。ベーキングは、シリコンウェハ202をホットプレート上に載置して行われる。このとき、シリコンウェハ202はストラット204により支持されるため、ホットプレートからの熱伝導がウェハ面内で不均一となる。ベーキングが不均一となつた場合、パターンの加工精度

が低下する。

【0019】このような問題を解消する方法としては、例えば、ストラットのパターンに対応するようにホットプレート表面に凹凸を設ける方法が考へられるが、温度制御の機構が複雑化したり、装置の汎用性が低下したりすることが予想され、実現は困難である。

【0020】また、シリコン層208にドライエッティングを行いアパーチャー207を形成する際にも、ステンシルマスク201の原盤はストラット204により支持される。したがって、メンブレン203とエッティング装置のステージとの間に隙間が形成される。

【0021】このように、マスク全体の機械的強度が低下した状態で、エッティング時の発熱等の影響が加わると、最悪の場合にはマスクが破損する。マスクが破損しなくとも、エッティング時の発熱等によってマスクが変形すると、メンブレン203が安定に支持されなくなる。これにより、パターンの加工精度が低下したり、パターン寸法にばらつきが生じたりする。

【0022】このような問題を解消するには、前述したレジストのベーキングの場合と同様に、エッティング装置のステージに凹凸を設ける方法が考へられるが、同様な理由から、実現は困難である。また、上記のレジストベーキング工程やエッティング工程以外に、レジストに露光を行い、LSIマスクパターンを描画する工程においても、同様の問題が発生する。

【0023】以上の問題のうち、製造過程のマスクがストラットによって支持されることに起因する問題を回避できる製造方法も提案されている。この方法によれば、同様にSOIウェハを用いて、先にメンブレンにアパーチャーを形成してから、メンブレンをレジスト等により保護し、シリコンウェハのエッティング、すなわちストラットの形成を後から行う。

【0024】しかしながら、この方法によても、長時間を要するシリコンウェハのドライエッティング工程が存在することにより、パターン設計終了からマスク完成までのTATの短縮が困難である。また、メンブレンを保護するレジストを除去する際に、メンブレンの表面が損傷を受けることがある。ステンシルマスクが電子ビームリソグラフィーにおいて使用されるとき、電子ビームはメンブレン側から照射されるため、特にアパーチャーの縁部が損傷を受けると、マスクパターンの欠陥となる。

【0025】上記の問題の他、ドライエッティングによりメンブレンにアパーチャーを形成すると、アパーチャーのエッジラフネスが増大しやすいという問題もある。電子ビームがメンブレン側から照射されるため、アパーチャーのエッジラフネスが増大すると、マスクパターンの欠陥となる。

【0026】本発明は上記の問題点に鑑みてなされたものであり、したがって本発明は、マスク製造の効率を上げ、かつパターンの加工精度を改善できるマスクおよび

その製造方法を提供することを目的とする。また、本発明は、上記のマスクを用いるリソグラフィ工程を含むことにより、半導体装置の製造効率と歩留りを向上させることができると、半導体装置の製造方法を提供することを目的とする。

【0027】

【課題を解決するための手段】上記の目的を達成するため、本発明のマスクは、金属薄膜と、前記金属薄膜の第1面側に照射される荷電粒子線または電磁波を局所的に第2面側に透過させる、前記金属薄膜の一部に形成されたアーチャーと、前記金属薄膜の前記第2面上の一部に、前記金属薄膜を透過した荷電粒子線または電磁波を遮断しないように形成された、金属材料からなる金属薄膜支持部とを有することを特徴とする。

【0028】本発明のマスクは、好適には、前記金属薄膜の前記第1面上に導電層をさらに有し、前記導電層は前記金属薄膜のアーチャーとほぼ同じ位置に、前記荷電粒子線または電磁波が透過するアーチャーを有する。本発明のマスクは、好適には、前記荷電粒子線は電子ビームまたはイオンビームであり、前記電磁波はEUV光またはX線である。本発明のマスクは、好適には、前記金属薄膜支持部は、前記金属薄膜の前記第2面上にマトリクス状に配列された、複数の矩形開口部を有する形状である。

【0029】これにより、シリコンウェハの膜厚分のドライエッティングを行わずに、リソグラフィ用のステンシルマスクにストラット（金属薄膜支持部）を形成することが可能となり、マスク製造の所要時間を短縮できる。また、メンブレン（金属薄膜）がストラットのみで支持された状態で、エッティングやリソグラフィ等を行う必要がなくなり、アーチャーの加工精度が向上する。

【0030】さらに、上記の目的を達成するため、本発明のマスクの製造方法は、基板の一方の面に導電層を形成する工程と、前記導電層上の一部に第1の犠牲膜を形成する工程と、電解めっきにより、前記導電層上に前記第1の犠牲膜を被覆する第1の金属層を形成する工程と、前記第1の犠牲膜が露出するまで前記第1の金属層を研磨して、アーチャーを前記第1の犠牲膜部分に有する金属薄膜を形成する工程と、少なくとも前記アーチャー部分を含む前記金属薄膜上的一部分に、前記第1の犠牲膜よりも厚い第2の犠牲膜を形成する工程と、電解めっきにより、前記金属薄膜上に前記第2の犠牲膜を被覆する第2の金属層を形成する工程と、前記第2の犠牲膜が露出するまで前記第2の金属層を研磨して、金属薄膜支持部を形成する工程と、前記第2の犠牲膜を除去する工程と、前記アーチャー部分の前記導電層を除去する工程と、前記基板を除去する工程とを有することを特徴とする。

【0031】本発明のマスクの製造方法は、好適には、

前記第1および第2の金属層を研磨する工程は電解研磨工程を含む。また、本発明のマスクの製造方法は、好適には、前記導電層を形成する前に、前記基板と前記導電層との層間に第3の犠牲膜を形成する工程をさらに有し、前記基板を除去する工程は、前記第3の犠牲膜を除去することにより前記基板を前記マスクから分離させる工程を含む。

【0032】本発明のマスクの製造方法は、好適には、前記基板はシリコン基板であり、前記第3の犠牲膜を形成する工程は、前記シリコン基板の表面にシリコン酸化膜を形成する工程を含む。本発明のマスクの製造方法は、好適には、前記第1および第2の犠牲膜を形成する工程は、リソグラフィによりレジストを形成する工程を含む。本発明のマスクの製造方法は、好適には、少なくとも前記アーチャー部分の前記導電層を除去する工程において、前記導電層全体を除去することにより、前記基板を前記マスクから分離させる。

【0033】これにより、シリコンウェハの膜厚分のドライエッティングを行わずに、リソグラフィ用のステンシルマスクにストラット（金属薄膜支持部）を形成することが可能となり、マスク製造の所要時間を短縮できる。また、メンブレン（金属薄膜）がストラットのみで支持された状態で、エッティングやリソグラフィ等を行う必要がなくなり、アーチャーの加工精度が向上する。

【0034】また、本発明のマスクの製造方法によれば、電解めっきの段差被覆性や埋め込み特性が高いことと、ドライエッティングによるアーチャー縁部の損傷を防止できることから、アーチャーのエッジラフネスが低下し、マスクパターンの欠陥を低減できる。

【0035】さらに、上記の目的を達成するため、本発明の半導体装置の製造方法は、所定のマスクパターンを有するリソグラフィ用マスクを形成する工程と、被露光面に前記リソグラフィ用マスクを介して荷電粒子線または電磁波を照射し、前記被露光面に前記マスクパターンを転写する工程とを有する半導体装置の製造方法であって、前記リソグラフィ用マスクを形成する工程は、基板の一方の面に導電層を形成する工程と、前記導電層上の一部に第1の犠牲膜を形成する工程と、電解めっきにより、前記導電層上に前記第1の犠牲膜を被覆する第1の金属層を形成する工程と、前記第1の犠牲膜が露出するまで前記第1の金属層を研磨して、アーチャーを前記第1の犠牲膜部分に有する金属薄膜を形成する工程と、少なくとも前記アーチャー部分を含む前記金属薄膜上的一部分に、前記第1の犠牲膜よりも厚い第2の犠牲膜を形成する工程と、電解めっきにより、前記金属薄膜上に前記第2の犠牲膜を被覆する第2の金属層を形成する工程と、前記第2の犠牲膜が露出するまで前記第2の金属層を研磨して、金属薄膜支持部を形成する工程と、前記第2の犠牲膜を除去する工程と、前記アーチャー部分の前記導電層を除去する工程と、前記基板を除去する工程とを有することを特徴とする。

導電層を除去する工程と、前記基板を除去する工程とを有することを特徴とする。

【0036】これにより、リソグラフィ用マスクを製造するための所要時間が短縮され、かつ、マスクパターン欠陥が低減して半導体装置の歩留りが向上するため、半導体装置の製造コストが低減される。また、リソグラフィ用マスクのパターン加工精度が向上するため、被露光面上に微細パターンを高精度に転写することが可能となる。

【0037】

【発明の実施の形態】以下に、本発明のマスクおよびその製造方法と半導体装置の製造方法の実施の形態について、図面を参照して説明する。

(実施形態1) 本実施形態のマスクは、従来のシリコン系材料に替えて、金属系材料を用いて形成される。図1および図2は、金属系ステンシルマスクの実現可能性について示した図である。図1および図2においては、クロム(Cr)を例としているが、他の単体金属や合金でも実現可能である。

【0038】図1は、電子ビームの照射による発熱をシリコンとクロムで比較したものであり、出射時の電子ビームのエネルギーを1として、メンブレンに蓄積されるエネルギーの率(エネルギー吸収率)を見積もった結果を示す。エネルギー吸収率が大きくなると、発熱も大きくなる。シリコンメンブレンの厚さが $2\text{ }\mu\text{m}$ のときのエネルギー吸収率では、発熱の影響は無視できることが実証されている。

【0039】前述したH.C. Pfeiffer他の論文(J. Vac. Sci. Technol. B17 p.2840 (1999))には、 $2\text{ }\mu\text{m}$ 厚のシリコンメンブレンを有するステンシルマスクを用いてマスクパターンの転写を行い、レジストパターンを形成した例が記載されている。 $2\text{ }\mu\text{m}$ 厚のシリコンメンブレンと同程度のエネルギー吸収率となるクロムメンブレンの厚さは $0.7\text{ }\mu\text{m}$ 程度と推定される。メンブレン厚が等しいとき、クロムメンブレンの方がシリコンメンブレンよりもエネルギー吸収率が大きくなるのは、クロムの原子量と密度が、それぞれシリコンの原子量と密度より大きいことが一因である。

【0040】メンブレン厚が薄くなると、メンブレンの歪みが問題となる。図2は、 1 mm 角のメンブレンの中央部における、重力によるメンブレンのたわみ量を見積もったものである。図2に示すように、メンブレンが薄くなる程、たわみが大きくなる。 $0.7\text{ }\mu\text{m}$ 厚のクロムメンブレンの場合、 $2\text{ }\mu\text{m}$ 厚のシリコンメンブレンの約10倍である 1 nm 弱のたわみが発生すると予想される。

【0041】しかしながら、メンブレンのたわみ量が 1 nm 程度であれば、電子ビーム光学系の誤差要因として、許容範囲内であることが報告されている(J.A. Lidde, H.A. Huggins and G.P. Watson, "Error budget a

nalysis of the SCALPEL mask for sub-0.2 micron lithography", J. Vac. Sci. Technol., B13 p.2483 (1995))。したがって、 $0.7\text{ }\mu\text{m}$ 厚のクロムメンブレンで発生する程度のたわみ量は、実用上の問題とはならない。

【0042】以上のことから、クロムと同程度の原子量および密度を有する金属は、発熱の観点から $1\text{ }\mu\text{m}$ 前後に薄膜化することが要求されるが、この程度のメンブレン厚であれば、たわみ量は許容範囲内であり、ステンシルマスク材料として適用可能といえる。

【0043】次に、本実施形態のマスクおよびその製造方法を、図面を参照して説明する。図3(a)は、本実施形態のステンシルマスクの概略図であり、図3(b)は図3(a)の一部(A)を拡大した斜視図である。本実施形態のステンシルマスク101は、例えばPREVAI Lのような縮小投影系の電子ビームリソグラフィに用いられる。

【0044】図3(a)に示すように、ステンシルマスク101は、例えば8インチサイズのウェハ状のクロム層102をベースとして形成される。クロム層102は、例えば $1.13\text{ mm} \times 1.13\text{ mm}$ の大きさの複数の薄膜部分(メンブレン)103を含む。メンブレン103はストラット104と呼ばれる梁によって相互に分離されている。メンブレン103間のストラット104の幅は例えば $170\text{ }\mu\text{m}$ である。メンブレン103が形成されないクロム層102の縁部近傍も、ストラット104により厚膜化されている。ストラット104はステンシルマスク101の機械的強度を維持する支持体として作用する。

【0045】図3(b)に示すように、メンブレン103の厚さは例えば $1\text{ }\mu\text{m}$ である。本実施形態のステンシルマスク101によれば、前述した従来のステンシルマスクと異なり、ストラット104がシリコンに替えてクロムを用いて形成される。したがって、ストラット104の高さはシリコンウェハの厚さと無関係に、ステンシルマスク101の機械的強度が維持される範囲で任意に設定できる。メンブレン103は、電子線が照射される 1 mm 角のパターン領域105と、その周囲のスカート106と呼ばれるマージンとを含む。パターン領域105には、LSIマスクパターンに対応するアーチャーが形成される。

【0046】図4(a)は、図3(a)の一部(X-X')の断面図である。図4(a)に示すように、メンブレン103のパターン領域にアーチャー107が形成されている。メンブレン103を含むクロム層102の一方の面に、例えばクロムからなるストラット104が形成されている。クロム層102の他方の面には、導電層108が形成されている。導電層108は、電解めつきによりクロム層102を形成する際に用いられる。但し、導電層108はステンシルマスク101の必須構

成ではなく、後述するように、ステンシルマスク 101 の形成後、除去することもできる。

【0047】PREVAILやSCALPELのような一括投影露光方式の電子ビームリソグラフィを行う際には、図4(a)のステンシルマスク 101 のメンブレン 103 側に、例えば 100 keV 程度の電子ビームを照射する。メンブレン 103 に照射された電子ビームは、アーチャー 107 部分のみ無散乱でストラット 104 側に透過して、レジスト上に集束される。PREVAIL や SCALPEL は通常 4 倍の縮小投影系である。

【0048】次に、上記の本実施形態のステンシルマスク 101 の製造方法を、図4~6 を参照して以下に説明する。まず、図4(b) に示すように、シリコンウェハ 111 の一方の面に犠牲膜 112 としてシリコン酸化膜を形成し、犠牲膜 112 の上層に導電層 108 を形成する。シリコンウェハ 111 としては、通常、LSI の製造に用いられる例えば 8 インチサイズのウェハを用いることができる。犠牲膜 112 は、ステンシルマスク 101 の形成後、ステンシルマスク 101 をシリコンウェハ 111 から容易に分離させる目的で設けられる。導電層 108 としては例えばチタン層を、蒸着等により形成する。タングステン等、半導体製造プロセスで通常使用される、チタン以外の導電材料を導電層 108 に用いることもできる。

【0049】次に、図4(c) に示すように、導電層 108 上のアーチャー 107 形成領域にレジスト 113 を形成する。レジスト 113 は、アーチャー 107 を有するメンブレン 103 を形成するための鋳型となる。レジスト 113 は、通常の LSI 製造工程に用いられる電子ビーム直接描画技術と同様に、レジストを全面に塗布してから、集束させた電子ビームを走査して露光し、その後、現像することにより形成できる。

【0050】次に、図5(d) に示すように、クロムの電解めっきを行い、導電層 108 上にクロム層 102a を形成する。均一な膜厚のメンブレン 103 を形成するため、クロムの電解めっきはレジスト 113 が完全に被覆されるまで行う。ここで、クロム層を形成するかわりに、クロム以外のめっき可能な材料からなる層を形成してもよい。統いて、図5(e) に示すように、電解研磨によってレジスト 113 の表面を露出させる。これにより、レジスト 113 部分にアーチャーを有するクロム層 102 が形成される。この電解研磨は、電解めっきに用いられた装置をそのまま使用して行うことができる。

【0051】電解めっきおよび電解研磨は、従来の LSI 製造工程では用いられていない技術であったが、近年、金パンプの形成や、銅配線のダマシンプロセスに採用されるようになってから、LSI の製造にも積極的に導入されてきている。配線材料の成膜方法としては、従来、スパッタリングや真空蒸着といった物理的蒸着法 (PVD; physical vapor deposition) あるいは化学気

相成長法 (CVD; chemical vapor deposition) が主流であった。しかしながら、これらの方針による金属材料の成膜は、真空で行う必要があり、例えば 200°C 程度に加熱する必要もある。したがって、コストが高くなりやすい。さらに、一般に成膜後のリフローも必要である。

【0052】一方、電解めっきは大気中、常温での処理が可能であり、技術的にも既に実用レベルに達している。また、成膜後のリフローも不要であり、成膜速度も PVD や CVD に比較して高い。さらに、段差被覆性やバイアホールの埋め込み特性も、PVD や CVD に比較して一般に良好である。電解研磨も、電解めっきと同様に大気中、常温での処理が可能である。

【0053】LSI の製造においては、デバイスの微細化に伴う配線遅延の問題を解決するため、層間絶縁膜の低誘電率化と配線材料の低抵抗化が進められている。これにより、低誘電率の有機系高分子材料からなる絶縁膜に、電解めっきにより配線を形成する技術も進展してきた。

【0054】例えば、めっき液の組成や供給速度、あるいは電極構造や電流印加条件等を最適化することにより、高アスペクト比のバイアホールやトレンチへの配線材料の埋め込み特性は向上する。現在では、LSI の製造における埋め込み配線技術を利用して、レジストを鋳型とする電解めっきを行うことも可能となっている。

【0055】電解めっきおよび電解研磨を行った後、図5(f) に示すように、クロム層 102 上のストラット形成領域以外、すなわちメンブレンとなる部分にレジスト 114 を形成する。レジスト 114 を形成するリソグラフィには、アーチャー形成用に微細化されたレジスト 113 を形成するリソグラフィなどの高解像度は要求されない。

【0056】したがって、例えば実装基板の配線パターン作製等に用いられるフォトリソグラフィによって、ストラットパターンを転写することができる。具体的には、実装基板等で用いられる例えばポリイミド等の厚膜系レジストを塗布してから、露光および現像を行うことにより、レジスト 114 が形成される。レジスト 114 は、ストラット 104 (図4(a) 参照) の所望の高さ h と同程度となるような膜厚で形成する。

【0057】次に、図6(g) に示すように、クロムの電解めっきを行ってから、引き続き電解研磨を行って、隣接するレジスト 114 の間にクロムを埋め込む。これにより、クロム層 102 と接続するストラット 104 が、レジスト 114 を鋳型として形成される。ストラット 104 を形成するための電解めっきおよび電解研磨は、レジスト 113 を鋳型とするクロム層 102a の電解めっきおよび電解研磨 (図5(d) および (e) 参照) と同一の装置を用いて、同様に行うことができる。

【0058】次に、図6(h) に示すように、レジスト

114およびレジスト113を除去する。さらに、図6(i)に示すように、電解めつき用に形成された導電層108のアーチャー107部分を除去する。その後、犠牲膜112を除去することにより、図4(a)に示すステンシルマスク101をシリコンウェハ111から分離させる。犠牲膜112としてシリコン酸化膜を形成した場合、例えばフッ酸を用いたウェットエッチングにより犠牲膜112を除去できる。

【0059】また、上記のようにシリコン酸化膜からなる犠牲膜112と導電層108を積層させることにより、例えば単層のアルミニウム層を形成して犠牲膜と導電層の両方の機能をもたせることもできる。この場合、図示しないが、図4(b)から図6(h)に示す工程と同様に、アーチャーを有するクロム層とストラットを形成する。

【0060】その後、アルミニウム層を除去すると、アーチャーを有するメンブレンが形成され、ステンシルマスクとシリコンウェハが分離する。アルミニウム層は、例えばリン酸(H_3PO_4)、硝酸(HNO_3)、酢酸(CH_3COOH)および水(H_2O)を含むエッティング液を用いたウェットエッチングにより除去できる。

【0061】上記の本実施形態のマスクの製造方法によれば、従来のマスク製造において行われていた、シリコンウェハのドライエッティング工程が不要となる。電解めつきによれば、短時間で成膜が可能なため、ストラット形成のTATを大幅に短縮できる。

【0062】また、上記の本実施形態のマスクの製造方法によれば、ステンシルマスク101をシリコンウェハ111から分離させるまで、メンブレン103の機械的強度がシリコンウェハ111によって十分に補強される。したがって、マスク製造過程でのマスクの破損が防止され、マスクの歩留りが向上する。

【0063】さらに、マスクの製造過程で、マスク全面がシリコンウェハにより安定に支持された状態で、アーチャーやストラットが形成される。したがって、ストラットのみでマスク原盤を支持しながらエッティングやリソグラフィを行う従来の製造方法に比較して、加工精度が向上する。したがって、マスクパターンの欠陥が低減する。

【0064】上記の本実施形態のマスクの製造方法によれば、電解めつきおよび電解研磨によりメンブレン103にアーチャー107が形成される。ドライエッティングによりアーチャーを形成する場合、アーチャーのエッジラフネスが増大しやすい。それに対し、電解めつきによれば良好な段差被覆性および埋め込み特性が得られるため、アーチャーのエッジラフネスが低減され、マスクパターンの欠陥が低減される。

【0065】本実施形態の半導体装置の製造方法は、上記の本実施形態のマスクの製造方法に従ってステンシル

マスクを作製し、作製されたマスクを例えばPREVAI-L等の電子ビームリソグラフィに用いるものである。本実施形態の半導体装置の製造方法によれば、マスク製造のTATが短縮され、マスクの歩留りが向上するため、半導体装置の製造コストが低減される。また、リソグラフィ用マスクのパターン加工精度が高いため、電子ビームリソグラフィ工程においてウェハ上に微細パターンを高精度に転写できる。

【0066】(実施形態2) 図7(a)は、本実施形態のステンシルマスクの概略図であり、図7(b)は図7(a)の一部(A)を拡大した斜視図である。本実施形態のステンシルマスク121は、例えばSCALPELのような縮小投影系の電子ビームリソグラフィに用いられる。

【0067】図7(a)に示すように、ステンシルマスク121は、例えば8インチサイズのウェハ状のクロム層102をベースとして形成される。クロム層102は、例えば $1\text{ mm} \times 12\text{ mm}$ の大きさの複数の薄膜部分(メンブレン)103を含む。メンブレン103はストラット104と呼ばれる梁によって相互に分離されている。メンブレン103間のストラット104の幅は例えば $300\text{ }\mu\text{m}$ である。メンブレン103が形成されないクロム層102の縁部近傍も、ストラット104により厚膜化されている。ストラット104はステンシルマスク121の機械的強度を維持する支持体として作用する。

【0068】図7(b)に示すように、メンブレン103の厚さは例えば $1\text{ }\mu\text{m}$ である。本実施形態のステンシルマスク121によれば、実施形態1のステンシルマスクと同様に、ストラット104がクロムを用いて形成される。したがって、ストラット104の高さはシリコンウェハの厚さと無関係に、ステンシルマスク121の機械的強度が維持される範囲で任意に設定できる。

【0069】実施形態1のステンシルマスクと同様に、メンブレン103はパターン領域とその周囲のスカートを含み、パターン領域にアーチャーが形成される。上記の本実施形態のステンシルマスクの断面構造は、実施形態1のステンシルマスクと共に、実施形態1に示すマスクの製造方法に従って、本実施形態のステンシルマスクを製造することができる。

【0070】また、上記のようなSCALPELに適用できるステンシルマスクの他、等倍投影系の電子ビームリソグラフィ用のステンシルマスクを、実施形態1に示すマスクの製造方法に従って製造することもできる。等倍投影系の電子ビームリソグラフィとしては、例えば、リープル、東京精密およびソニーが共同開発しているLEPL(low energy electron-beam proximity projection lithography / T. Utsumi, Journal of Vacuum Science and Technology B17 p. 2897 (1999))が挙げられる。

【0071】本発明のマスクおよびその製造方法と、半導体装置の製造方法の実施形態は、上記の説明に限定されない。例えば、上記の本発明のマスクの製造方法を、電子ビーム以外の露光手段、すなわちX線、EUV光あるいはイオンビーム等を用いるリソグラフィ用のマスクの製造に適用することも可能である。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【0072】

【発明の効果】本発明のマスクによれば、マスク製造の効率を上げ、かつパターンの加工精度を改善することが可能となる。本発明のマスクの製造方法によれば、マスク製造の効率を上げ、かつパターンの加工精度を改善することが可能となる。また、本発明の半導体装置の製造方法によれば、上記のマスクを用いるリソグラフィ工程を含むことにより、半導体装置の製造効率と歩留り向上させることができる。

【図面の簡単な説明】

【図1】図1は本発明の実施形態1に係り、電子ビームの照射によるマスクの発熱をシリコンとクロムで比較した図である。

【図2】図2は本発明の実施形態1に係り、重力によるメンブレン中央部のたわみ量をシリコンとクロムで比較した図である。

【図3】図3(a)は本発明の実施形態1に係るマスクの概略図であり、図3(b)は図3(a)の一部(A)を拡大した斜視図である。

【図4】図4(a)は図3(a)の一部(X-X')に対応する断面図であり、図4(b)および(c)は本発明のマスクの製造方法の製造工程を示す断面図である。

【図5】図5(d)～(f)は本発明のマスクの製造方法の製造工程を示す断面図であり、図4(c)に続く工程を示す。

【図6】図6(g)～(i)は本発明のマスクの製造方法の製造工程を示す断面図であり、図5(f)に続く工程を示す。

【図7】図7(a)は本発明の実施形態2に係るマスクの概略図であり、図7(b)は図7(a)の一部(A)を拡大した斜視図である。

【図8】図8(a)は従来のマスクの概略図であり、図8(b)は図8(a)の一部(A)を拡大した斜視図である。

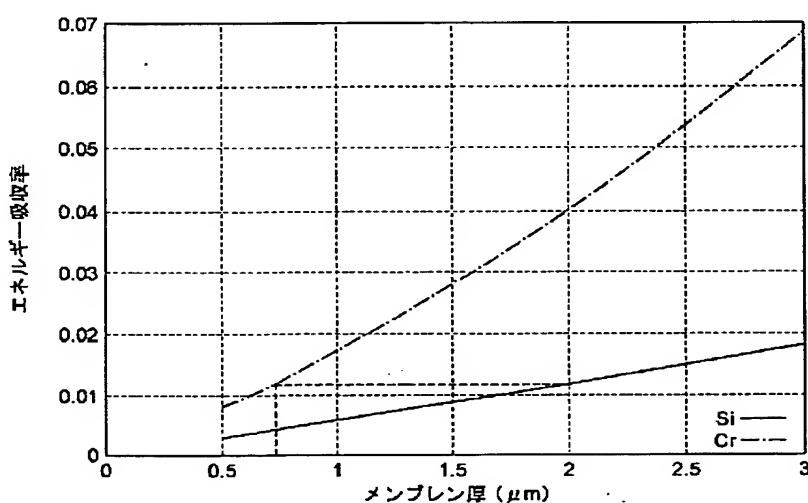
【図9】図9は図8(a)の一部(X-X')に対応する断面図である。

【図10】図10(a)～(d)は従来のマスクの製造方法の製造工程を示す断面図である。

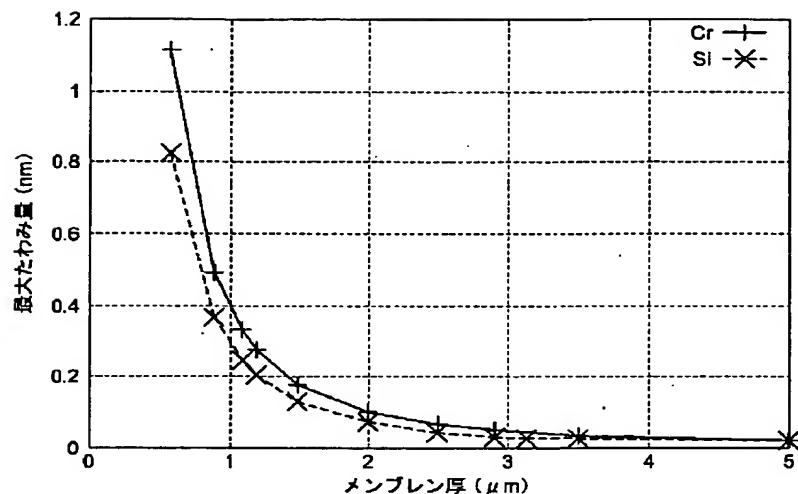
【符号の説明】

101…ステンシルマスク、102、102a…クロム層、103…薄膜部分(メンブレン)、104…ストラット、105…パターン領域、106…スカート、107…アーチャー、108…導電層、111…シリコンウェハ、112…犠牲膜、113、114…レジスト、121、201…ステンシルマスク、202…シリコンウェハ、203…薄膜部分(メンブレン)、204…ストラット、205…パターン領域、206…スカート、207…アーチャー、208…シリコン層、209…シリコン酸化膜、211…SOIウェハ、212…裏面側シリコン酸化膜、213、214…レジスト。

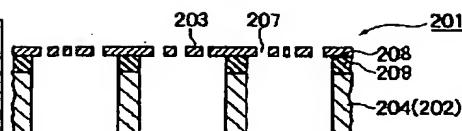
【図1】



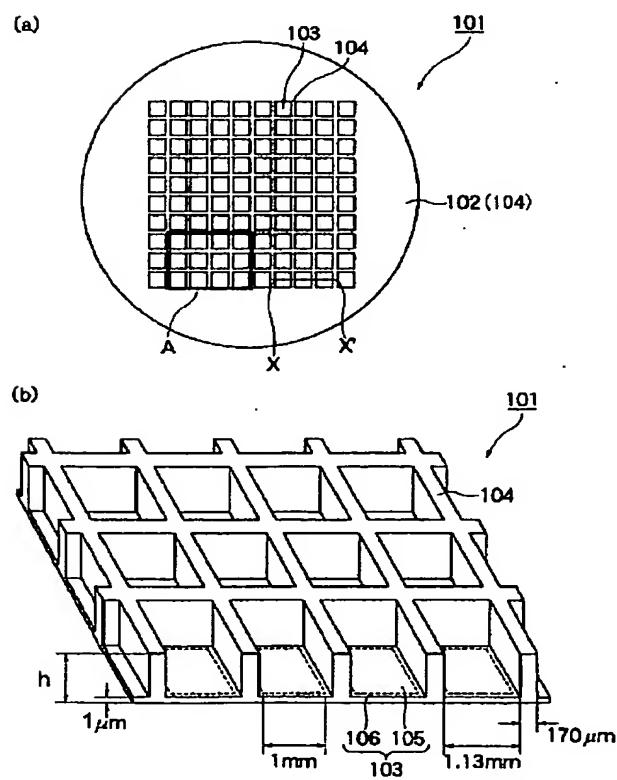
【図2】



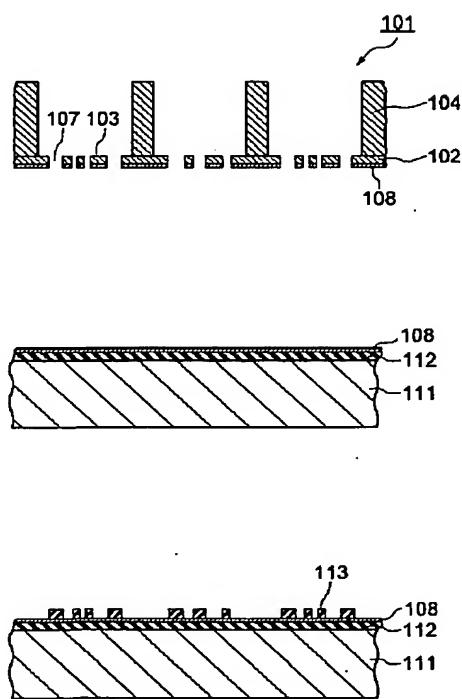
【図9】



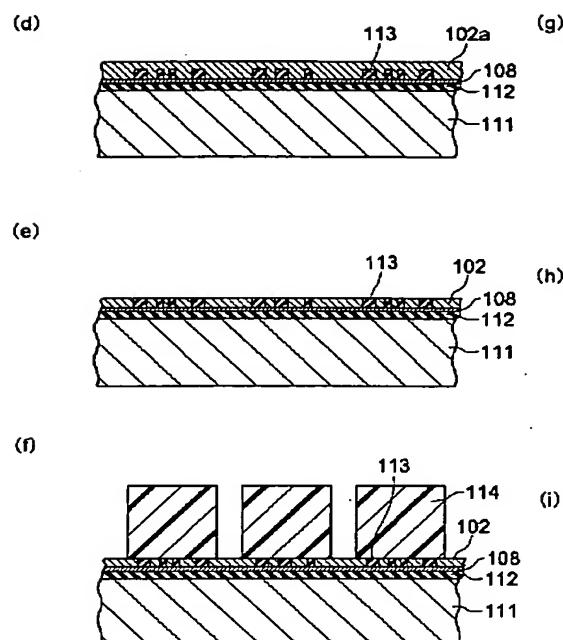
【図3】



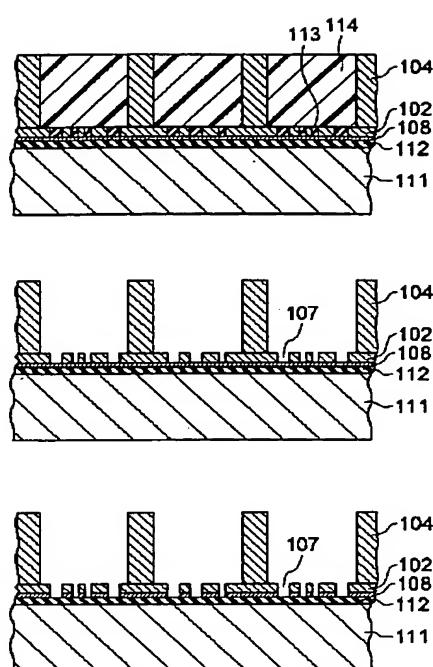
【図4】



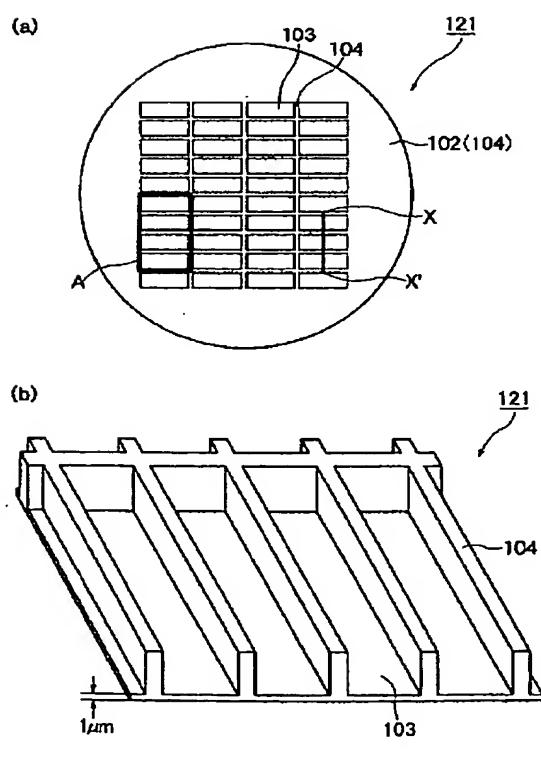
【図5】



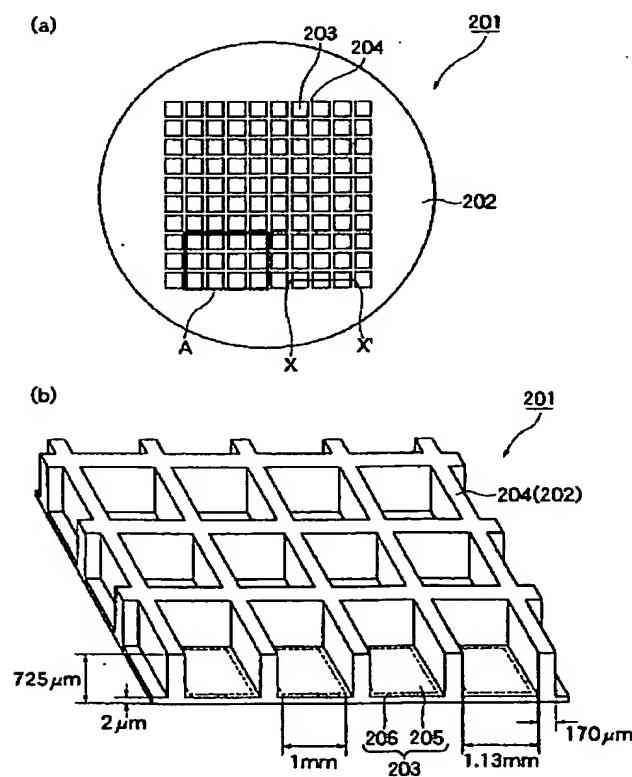
【図6】



【図7】



【図8】



【図10】

